

(19) 日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-190742

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 4 L 12/66

H 0 4 L 11/20

B

12/40

H 0 4 Q 3/00

12/28

H 0 4 L 11/00

3 2 0

H 0 4 Q 3/00

11/20

D

審査請求 未請求 請求項の数15 O L (全 8 頁)

(21) 出願番号 特願平9-293751

(22) 出願日 平成9年(1997)10月27日

(31) 優先権主張番号 特願平8-310197

(32) 優先日 平8(1996)11月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤森 ▲隆▼洋

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 佐藤 真

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 田中 知子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

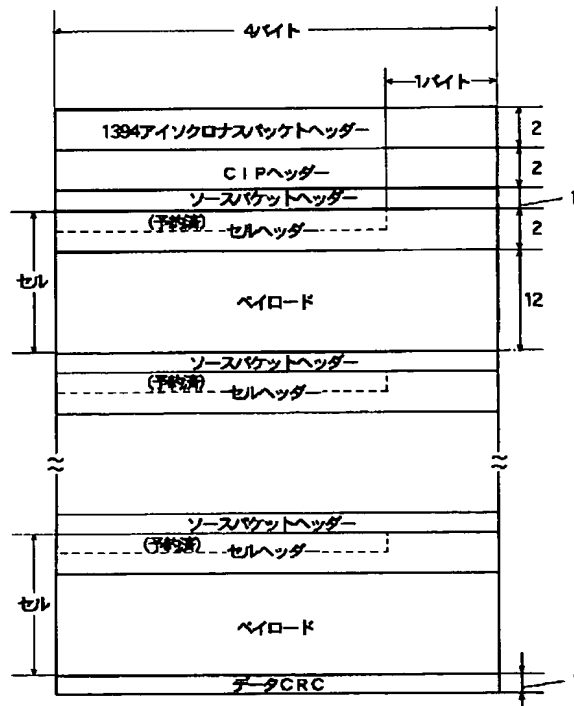
(74) 代理人 弁理士 杉山 猛

(54) 【発明の名称】 データ伝送方法並びに装置、データ受信方法並びに装置、及びリンク層用集積回路

(57) 【要約】

【課題】 IEEE1394シリアルバス上にATMセルをのせて通信できるようにする。

【解決手段】 ATMセルは5バイトのセルヘッダーとそれに続く48バイトのペイロードで構成されている。セルヘッダーの前に3バイトの“予約済”をパディングとして付加することで、セルの長さを56バイト(4バイトの整数倍)にする。セルの前には4バイトのソースパケットヘッダーを付与し、さらにその前に8バイトのCIPヘッダーを付与し、さらにその前に2バイトの1394アイソクロナスパケットヘッダーを付与する。このように構成したアイソクロナスパケットを、IEEE1394シリアルバス上を125μsecで流れているサイクルスタートパケットのタイミングを規準にしてIEEE1394シリアルバスに送出する。



## 【特許請求の範囲】

【請求項1】 IEEE1394フォーマットに準拠したシリアルバスによりデータ伝送を行うデータ伝送方法であって、

ATM方式のネットワークにて使用されるATMセルを上記IEEE1394フォーマットで定義されているアイソクロナスパケットの構成を使用して伝送するように、所定のヘッダーを付加することを特徴とするデータ伝送方法。

【請求項2】 上記ATMセルを該ATMセルのバイト長より大なるソースパケットにマッピングする際、該ATMセルの先頭又は最後に差分のバイトをパディングとして付加する請求項1に記載のデータ伝送方法。

【請求項3】 上記ATMセルは48バイト長のペイロードと、該ATMセルに付加される5バイト長のATMセルヘッダーで構成され、これを56バイト長の上記ソースパケットにマッピングする際に、上記ATMセルヘッダーの先頭又は上記ペイロードの最後に差分の3バイトをパディングとして付加してATMソースパケットを構成するようになす請求項2に記載のデータ伝送方法。

【請求項4】 上記ATMセルに付加する所定のヘッダーは、ソースパケットヘッダーを含み、該ソースパケットヘッダーの構造はMPEG方式で規定されたトランスポートストリームと同様の構造である請求項1に記載のデータ伝送方法。

【請求項5】 上記ソースパケットヘッダーはサイクルカウントデータとサイクルオフセットデータを有する請求項4に記載のデータ伝送方法。

【請求項6】 IEEE1394フォーマットに準拠したシリアルバスによりデータ伝送を行うデータ伝送装置であって、

ATM方式のネットワークにて使用されるATMセルを上記IEEE1394フォーマットで定義されているアイソクロナスパケットのデータフィールド内に格納するため、所定のヘッダーを付加する付加回路を有することを特徴とするデータ伝送装置。

【請求項7】 上記ATMセルをバッファリングするバッファを更に備え、該バッファは、上記IEEE1394フォーマットに準拠したシリアルバスへ上記ATMセルを送出する際に生じるジッターを改善する請求項6に記載のデータ伝送装置。

【請求項8】 ATM方式のネットワークが備える8kHzの信号を1394シリアルバスにおける8kHzの信号に同期させる手段を備える請求項6に記載のデータ伝送装置。

【請求項9】 IEEE1394フォーマットに準拠したシリアルバスにより伝送された、ATM方式のネットワークに用いられるATMセルを受信するデータ受信方法であって、

上記IEEE1394フォーマットで定義されているア

イソクロナスパケットのデータフィールド内に格納された上記ATMセルを得るために、所定のヘッダーを除去することを特徴とするデータ受信方法。

【請求項10】 上記ATMセルのバイト長より大なるソースパケットにマッピングされたATMセルを得るために、上記ATMセルの先頭又は最後に付加された差分のバイトを取り除くようになす請求項9に記載のデータ受信方法。

【請求項11】 56バイト長の上記ソースパケットにマッピングされたATMソースパケットより、上記ATMセルヘッダーの先頭又は上記ペイロードの最後に付加された差分の3バイトを除去して、48バイト長のペイロードと、5バイト長のATMセルヘッダーで構成されるATMセルを得るようになす請求項10に記載のデータ受信方法。

【請求項12】 上記ATMソースパケットから除去される所定のヘッダーは、ソースパケットヘッダーを含み、該ソースパケットヘッダーの構造はMPEG方式で規定されたトランスポートストリームと同様の構造である請求項9に記載のデータ受信方法。

【請求項13】 上記ソースパケットヘッダーはサイクルカウントデータとサイクルオフセットデータを有する請求項12に記載のデータ受信方法。

【請求項14】 IEEE1394フォーマットに準拠したシリアルバスにより伝送された、ATM方式のネットワークにて用いられるATMセルを受信するデータ受信装置であって、

上記IEEE1394フォーマットで定義されているアイソクロナスパケットのデータフィールド内に格納された上記ATMセルを得るために、所定のヘッダーを除去する除去回路を有することを特徴とするデータ受信装置。

【請求項15】 IEEE1394フォーマットに準拠したシリアルバスと通信する基本ブロックと、ATM方式のネットワークと通信するインターフェースと、

上記シリアルバスより受信された、アイソクロナスパケットのデータフィールド内に格納されたATMセルを得るために、所定のヘッダーを除去する除去回路と、

上記ATM方式のネットワークから受信されたATMセルを上記アイソクロナスパケットのデータフィールド内に格納するため、所定のヘッダーを付加する付加回路と、

上記付加回路、除去回路と上記インターフェースとの間に設けられたレートの調整を行うためのバッファとを有することを特徴とするリンク層用集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、IEEE1394（以下1394と略す）に準拠した高速シリアルバス

(以下1394シリアルバスという)上にATM(非同期転送モード)データをのせて通信を行う技術に関する。

#### 【0002】

【従来の技術】パーソナルコンピュータ(以下パソコンという)、デジタルビデオカメラ、デジタルチューナー、ハードディスク装置等の電子機器を1394シリアルバスで接続し、これらの電子機器(以下機器という)の間で、デジタル画像信号やデジタル音声信号等の通信を行うシステムが考えられている。このシステムでは、各機器の間を1394で規定されたケーブル(以下1394ケーブルという)で接続することにより、各機器の間でデジタル画像信号やデジタル音声信号の通信が可能になり、さらに全ての機器を統一的に制御することが可能となる。

【0003】一方、パソコンLANやB-ISDN(広帯域ISDN)等のネットワークではATMが使用される。このATMはITU-T(International Telecommunication Union-Telecommunication)にて定められたフォーマットである。ATMで使用される packets (通常セルと呼ばれる)は、図6(a)に示すように5バイト長のATMセルヘッダーとそれに続く48バイト長のペイロードからなる53バイトの固定長を持っている。そして、5バイトのセルヘッダーは、図6(b)に示す構造を持っている。ATMにおいては、ネットワーク内のフレームの位相とセルの位置やセル同志の位置には同期関係は必要ないため、種々のビットレートのデータが混在するネットワークの構築に適している。

#### 【0004】

【発明が解決しようとする課題】本発明はこのような状況に鑑みてなされたものであって、1394シリアルバス上にATMセルをのせて通信できるようにすることを目的とする。

#### 【0005】

【課題を解決するための手段】本発明に係るデータ伝送方法は、ATM方式のネットワークにて使用されるATMセルを1394フォーマットで定義されているアイソクロナスパケットの構成を使用して伝送するように、所定のヘッダーを付加することを特徴とするものである。

【0006】本発明に係るデータ伝送装置は、ATM方式のネットワークにて使用されるATMセルを1394フォーマットで定義されているアイソクロナスパケットのデータフィールド内に格納するため、所定のヘッダーを付加する付加回路を有することを特徴とするものである。

【0007】本発明に係るデータ受信方法は、1394フォーマットで定義されているアイソクロナスパケットのデータフィールド内に格納されたATMセルを得るために、所定のヘッダーを除去することを特徴とするもの

である。

【0008】本発明に係るデータ受信装置は、1394フォーマットで定義されているアイソクロナスパケットのデータフィールド内に格納されたATMセルを得るために、所定のヘッダーを除去する除去回路を有することを特徴とするものである。

【0009】本発明に係るリンク層用集積回路は、1394フォーマットに準拠したシリアルバスと通信する基本ブロックと、ATM方式のネットワークと通信するインターフェースと、シリアルバスより受信された、アイソクロナスパケットのデータフィールド内に格納されたATMセルを得るために、所定のヘッダーを除去する除去回路と、上記ATM方式のネットワークから受信されたATMセルを上記アイソクロナスパケットのデータフィールド内に格納するため、所定のヘッダーを付加する付加回路と、上記付加回路、除去回路と上記インターフェースとの間に設けられたレートの調整を行うためのバッファとを有することを特徴とするものである。

【0010】本発明に係るデータ伝送方法によれば、ATM方式のネットワークにて使用されるATMセルに所定のヘッダーが付加され、1394フォーマットで定義されているアイソクロナスパケットの構成とされ、伝送される。

【0011】本発明に係るデータ伝送装置によれば、ATM方式のネットワークにて使用されるATMセルに所定のヘッダーが付加回路により付加され、1394フォーマットで定義されているアイソクロナスパケットのデータフィールド内に格納される。

【0012】本発明に係るデータ受信方法によれば、1394フォーマットで定義されているアイソクロナスパケットから所定のヘッダーが除去され、データフィールド内に格納されたATMセルが得られる。

【0013】本発明に係るデータ受信装置によれば、1394フォーマットで定義されているアイソクロナスパケットから所定のヘッダーが除去回路により除去され、データフィールド内に格納されたATMセルが得られる。

【0014】本発明に係るリンク層用集積回路によれば、基本ブロックにより1394フォーマットに準拠したシリアルバスとの通信が行われ、インターフェースによりATM方式のネットワークとの通信が行われる。そして、前記シリアルバスへの送信時には、インターフェースによりATM方式のネットワークから受信したATMセルに所定のヘッダーが付加回路により付加され、前記シリアルバスからの受信時には、1394フォーマットで定義されているアイソクロナスパケットから所定のヘッダーが除去回路により除去され、データフィールド内に格納されたATMセルが得られる。さらに、前記シリアルに対する送受信時にバッファによりデータのレート調整が行われる。

## 【0015】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら詳細に説明する。

【0016】図1はATMセルを1394シリアルバス上にのせるまでの処理を示す。これらの処理の詳細は図5にて後述する。まず、この図の(a)に示されているように、入力されたATMソースパケット(図6(a)のATMセル)の先頭にソースパケットヘッダーを付加して図1(b)のようにする。次に、図1(c)に示されているように、ATMソースパケットが後述するIsoパケット送受信FIFO13に到着したタイミングによって、1394ケーブルへの転送許可の状態に応じて1個又は複数の(ATMセル+ソースパケットヘッダー)の先頭にCIP(Common Isochronous Packet)ヘッダーを付加する。次に、図1(d)に示されているように、1394アイソクロナスパケットヘッダーを付加することで、ATMセルをアイソクロナスパケットのデータフィールド内に格納した形となし、1394シリアルバス上を125 $\mu$ secで流れているサイクルスタートパケットのタイミングを規

準にして、このアイソクロナスパケットを1394シリアルバスに送出する。なお、ソースパケットヘッダー、CIPヘッダー、及び1394アイソクロナスパケットヘッダーの詳細については後述する。

【0017】図2は図1において1394シリアルバス上にのせるアイソクロナスパケットの構造の例を示し、図3は図2における1394アイソクロナスパケットヘッダーからセルヘッダーまでの7バイトの内容を示す。なお、図3の( )内の数字はビット数である。また、このアイソクロナスパケットは上端の1394アイソクロナスパケットヘッダーの左端が最初に伝送され、下端のデータCRCの右端が最後に伝送される。以下図2と図3を参照しながらアイソクロナスパケットについて説明する。

【0018】1394アイソクロナスパケットヘッダーは8バイトの長さを持っており、このヘッダーに続くデータの長さを示すデータ長(2バイト)と、CIPヘッダーの有無を示すタグ(2ビット)と、アイソクロナスパケットを伝送するチャンネルの番号を示すチャンネル(6ビット)と、パケットの種類を示すtコード(4ビット)と、パケットの順番を示すsy(4ビット)と、ヘッダーCRC(4バイト)とから構成されている。

【0019】CIPヘッダーにおける6ビットのSID(ソースノードID)は、アイソクロナスパケットを送出する機器の1394シリアルバス上におけるノードIDを表す。1バイトのDBS(データブロックサイズ)はデータブロックの長さをクアドレット(=4バイト)単位で表した数である。2ビットのFN(フラクションナンバー)はソースパケットが分割されるデータブロックの数を表す。3ビットのQPC(クアドレットパディ

ングカウンタ)はFNが“0”以外の値をとる場合に用いる。1ビットのSPHはソースパケットが独自のソースパケットヘッダーを持つ場合に“1”にする。したがって、ここでは“1”にする。DBC(データブロックカウンタ)は8ビットの連続カウンタであり、ソースパケットの伝送抜けを検出するために用いる。6ビットのFMT(フォーマットIDフィールド)は伝送されるデータのフォーマットを示す。ここでは0x28によりATMデータであることを示す。3バイトのFDF(フォーマット依存フィールド)はFMTによりその仕様が決められる。

【0020】CIPヘッダー以降は15クアドレット(1クアドレット=4バイト)単位のATMデータが送られる。この15クアドレットは、1クアドレットのソースパケットヘッダーと、2クアドレットのセルヘッダーと、12クアドレットのペイロードにより構成されている。

【0021】ソースパケットヘッダーのサイクルカウントとサイクルオフセットは、125 $\mu$ sec単位の時刻情報をパケットの送信時刻に基づいて作成されるタイムスタンプ情報で、該ヘッダー内に対してサイクルマスターから与えられる。サイクルオフセットは40ns毎のカウントが与えられるもので、125 $\mu$ secになった時点でサイクルカウントに桁上げが行われる。サイクルカウントは125 $\mu$ sec(8kHz)を1カウントとし、250 $\mu$ secで2カウントというように順次カウントアップされた値である。

【0022】これらサイクルカウントとサイクルオフセットは、1394シリアルバス上に接続され上記サイクルマスターとして指定された所定の機器内に設けられているサイクルタイムレジスタの値である(図5参照)。サイクルタイムレジスタ内の値はマスタークロックジェネレータで発生した時刻情報に基づいて格納される。この値はサイクルマスターが1394シリアルバス上に送出するサイクルスタートパケット内に格納され、これにより1394シリアルバス上の他の機器に与えられる。なお、ソースパケットヘッダーの構成は後述するようにMPEG方式のトランスポートストリーム(MPEG-TS)で規定されるものと同等である。セルヘッダーは図6(b)に示したものであり、その内容についてはよく知られているので、ここでは説明しない。ただし、本実施の形態では5バイトのATMセルヘッダーの前に3バイトの“予約済”をパディングとして付加することで、ペイロードの先頭がクアドレットの先頭から始まる構造にしてある。このパディングの処理は後述する図5のATM信号処理インターフェース12にて行われる。

【0023】データCRCはアイソクロナスパケットのデータフィールド(CIPヘッダーから最後に伝送されるセルまで)の誤り訂正用の符号である。

【0024】図2と図3に示した構造の利点はATMセ

ルを1394シリアルバス上に乗せることが出来る点であるが、もう一つの利点は、ソースパケットヘッダーがMPEGのトランスポートストリーム(MPEG-TS)と同様の構造をとっていることである。したがって、後述するIsoパケット送受信FIFO13、ヘッダー、同期情報付加回路14、ヘッダー除去、同期情報復元回路15などの回路ブロックがMPEG-TSの信号系で共用できるため、図5のようにリンク層用ICを共用することが可能である。これにより設計上の面及びコスト的に有利であると共に、後述するジッターを吸収するためのタイムスタンプ処理を実行することが可能となる。

【0025】なお、図2及び図3ではATMセルヘッダーの前に3バイトの“予約済”を付加したが、ATMセルヘッダーの前ではなくペイロードの後に3バイトの“予約済”を付加することで、ATMソースパケットの長さが4バイトの整数倍(ここでは56バイト)になるように構成してもよい。図4にその場合のアイソクロナスパケットの構造を示す。

【0026】次に、以上説明した、ATMセルを1394シリアルバスにのせる処理を行う機器、例えばATM網に接続されるセットトップボックス(STB)について説明する。図5はこの機器の内部の構成をリンク層用IC(以下LINKという)を中心に記載したものである。この機器は、物理層用IC(以下PHYという)1と、LINK2と、マイクロプロセッサ3と、ATM信号処理系4と、PLL5とを備えている。

【0027】PHY1はバスの初期化や使用権の調停等を行う。また、LINK2との間でATMセル等のデータ(data)と各種制御信号(control)の通信を行うとともにこれらのデータや制御信号を1394ケーブルに対して送受信する。さらに、LINK2にシステムクロック(sysclk)を供給する。LINK2の詳細は後述する。マイクロプロセッサ3は、PHY1及びLINK2の制御とアイソクロナス通信の帯域取得等を行う。ATM信号処理系4は、STBの外部に存在するATM網に接続される端子からのATMデータを受け、ATMセルの生成や分解処理を行う。或いはATM網から直接入力されるATMセルをATM信号処理インターフェース12に送信する。また、ATM網が備える基本周波数クロック8kHzを後述する8kHzサイクルコントロール回路16に与える。PLL5は、1394ケーブルを介して受信されたATMセルに付けられているソースパケットヘッダーからのタイミング情報(上記タイムスタンプ情報)より送出側の機器のクロック信号(clk)を再生する。このタイミング情報はヘッダ除去、同期情報復元回路15によって1394ケーブルより受信したデータのうちのソースパケットヘッダー内より取り出される。なお、このPLL5はタイミング情報が1394ケーブルを介して受信されない場合は

自走でクロックを発生するように構成されている。そして、このクロック信号をLINK2とATM信号処理系4に供給する。

【0028】LINK2の内部は、アイソクロナス系、アシンクロナス系、及び基本ブロックに大別される。アイソクロナス系はATMセルのデータをのせるアイソクロナスパケットの生成や解析等を行うブロックであり、アシンクロナス系は機器の制御等を行うコマンド等の制御信号をのせるアシンクロナスパケットの生成や解析等を行うブロックである。

【0029】アシンクロナス系は、マイクロプロセッサインターフェース6と、コントロールレジスタ7と、アシンクロナスパケット送信FIFO8と、アシンクロナスパケット受信FIFO9と、自己IDパケット処理ブロック10とから構成されている。

【0030】基本ブロック11は、時計111、CRC、物理層インターフェース、送信ブロック、受信ブロック等(時計111以外は図示を省略)を備えている。

【0031】アイソクロナス系は、ATM信号処理インターフェース12と、アイソクロナスパケット送受信FIFO13と、ヘッダー、同期情報付加回路14と、ヘッダー除去、同期情報復元回路15と、8kHzサイクルコントロール回路16と、MPEG-TS処理インターフェース17と、切替部18とから構成されている。

【0032】マイクロプロセッサインターフェース6は、マイクロプロセッサ3との間で上位レイヤーの要求に応じたデータの送受信を行う。

【0033】コントロールレジスタ7には、マイクロプロセッサ3により所定の位置にデータが書き込まれ、LINK2の動作が制御される。また、アシンクロナスパケットの送受信時では、所定のアドレスを読み書きすることにより行われる。さらに、アイソクロナスパケットのヘッダーの一部はこのコントロールレジスタ7を利用して送受信が行われる。例えば前述したCIPヘッダー内のSIDを基本ブロック11よりコントロールレジスタ7に供給し、コントロールレジスタ7はソースノードIDの情報をマイクロプロセッサインターフェース6を介してマイクロプロセッサ3に転送する。このようにすれば送り元のソースノードの情報がヘッダ除去、同期情報復元回路15にて除去されずに本機器(STB)にて認識可能となる。

【0034】アシンクロナスパケット送信FIFO8には、マイクロプロセッサ3により作成されたパケットが一時的に格納される。格納されたパケットはバスが空きしだい基本ブロック11により読み出される。

【0035】アシンクロナスパケット受信FIFO9には、バスから取り込まれたパケットが基本ブロック11により書き込まれる。マイクロプロセッサ3はこのFIFOが空きでないことを確認した後、読み出しを行う。

【0036】自己IDパケット処理ブロック10は、バ

スの初期化処理中に受信されるノード情報を処理し、バスに接続されているノード数とバスのアイソクロナスチャネルを管理するノードがどのノードであるか等の検知を行う。

【0037】基本ブロック11の物理層インターフェースは、送信データの平行／シリアル変換と、受信データのシリアル／平行変換等を行う。また、送信ブロックは、バスの状況を判断し、パケットの送信を制御する。そして、受信ブロックは、受信したパケットの種類（アシンクロナス、アイソクロナス）に応じて書き込み先を決定する。

【0038】ATM信号処理インターフェース12は、送信時にはATM信号処理系4のデータをアイソクロナスパケットの形式に上記パディングの処理を行って変換し、受信時にはその逆の処理、即ちパディングされたバイトを除去する。

【0039】アイソクロナスパケット送受信FIFO13は、アイソクロナスパケットの送信／受信を兼用したFIFOである。送信時は前述したようにATM網から受信したATMセル（図1（a））をATM信号処理系4、ATM信号処理インターフェース12を介して該FIFO13に書き込む。1394ケーブル上には125 $\mu$ sのサイクルで流れているサイクルスタートパケットが存在し、このタイミングに合わせて、かつ送出許可がおりた段階で、基本ブロック11によりFIFO13に待機していたATMセルを1394シリアルバス上に送出する。この場合、ヘッダ、同期情報付加回路14にてヘッダを付加する処理は瞬時に行われるため、時間的には問題とされない。

【0040】このように、FIFO13にてATMセルを待機させることでATMセルのバッファリングが行われ、ATMセルのジッターを改善する。一般にATMセルのソースでは2msec程度のジッターが生じる程不安定なためFIFOによるバッファリングは重要である。ATMセルのソースがセルレート一定の状態セルを送出している場合であっても、幾つかのATMスイッチを通過する度にセルの送出時間が遅れる等により、ATMセル間の時間間隔が大きく変動する。このため複数のATMセルを連続させて送出することを前提にするとサイクルに間に合わない場合が生じる。したがって1セルずつソースパケットヘッダを付加し、（図1（b））1394シリアルバス上でのサイクルに合わせて出力されるセルに対して適宜CIPヘッダ、1394アイソクロナスパケットヘッダを付加して（図1（c）、（d））、1394シリアルバスに送り込む。

【0041】MPEG-TS方式の信号を送受する場合は、MPEG-TS処理インターフェース17を介して図示せぬ外部機器と通信を行う。この場合、切替部18を介して経路を選択する。なお、1394ケーブルを介してMPEG-TS信号が入力された場合は、そのヘッ

ダーに含まれる識別データをヘッダー除去、同期情報復元回路15により検出し、それに基づいて切替部18が制御される。MPEG-TS方式の場合はソースが比較的コンスタント（200 $\mu$ sec程度のジッター）であるためATMセルほどのジッターはないが、1394シリアルバス上の125 $\mu$ secのサイクルで伝送するとき、及びそれより受信するときの伝送系での時間のずれが生じるため、FIFO13はこれを吸収する役割も果たす。

10 【0042】このように1394シリアルバス上に送出する前にバッファリングを行ない、セルレートを調整して一定にすることにより、ジッターを改善できる。

【0043】1394シリアルバスより受信し、PHY1、基本ブロック11を介して得たアイソクロナスパケットを、ヘッダー除去、同期情報復元回路15によりATMセルの構成にした後、アイソクロナスパケット送受信FIFO13にて、該FIFOがあふれない範囲で書き込まれる。書き込まれたATMセルに対してはヘッダー除去、同期情報復元回路15にて分離されたヘッダ内のタイミング情報に基づくPLL5が再生したクロック信号により、LINK2からATM信号処理系4に出力するタイミングが作成される。

【0044】ヘッダー、同期情報付加回路14は、アイソクロナスパケット送受信FIFOから読み出されたセルに図2及び図3に示したソースパケットヘッダー、CIPヘッダー、及び1394アイソクロナスパケットヘッダーを付加する。このとき、基本ブロック11内の時計111の値を参照してソースパケットヘッダー内のサイクルカウントとサイクルオフセットを設定することで、タイムスタンプを付与する。該時計111はサイクルマスターからのサイクルスタートパケット内の時刻情報に基づいて基準合わせが行われると共に、8kHzサイクルコントロール回路16によりカウントアップが行われる。

【0045】ヘッダー除去、同期情報復元回路15は、基本ブロック11から受け取ったアイソクロナスパケットから1394アイソクロナスパケットヘッダー、CIPヘッダー、及びソースパケットヘッダーを除去した後、セルのみをアイソクロナスパケット送受信FIFO13に書き込む。

【0046】8kHzサイクルコントロール回路16は、ATMネットワークが備える8kHzの信号を1394シリアルバスにおける8kHz（125 $\mu$ sec）の信号に同期させる。即ちATM網からの8kHzのタイミングをATM信号処理系4を介して得ると共に、基本ブロック11を介して得たサイクルスタートパケットの8kHzの信号を同期させることで、ATMセルはIEEE1394上で扱うことが可能となる。

【0047】

50 【発明の効果】以上詳細に説明したように、本発明によ

れば、1394シリアルバス上にATMのセルをのせて通信することが可能となる。

【図面の簡単な説明】

【図1】ATMセルを1394シリアルバス上にのせるまでの処理を示す図である。

【図2】図1において1394シリアルバスにのせるアイソクロナスパケットの構造の例を示す図である。

【図3】図2における1394アイソクロナスパケットヘッダーからセルヘッダーまでの内容を示す図である。

【図4】図1において1394シリアルバスにのせるア 10

イソクロナスパケットの構造の別の例を示す図である。

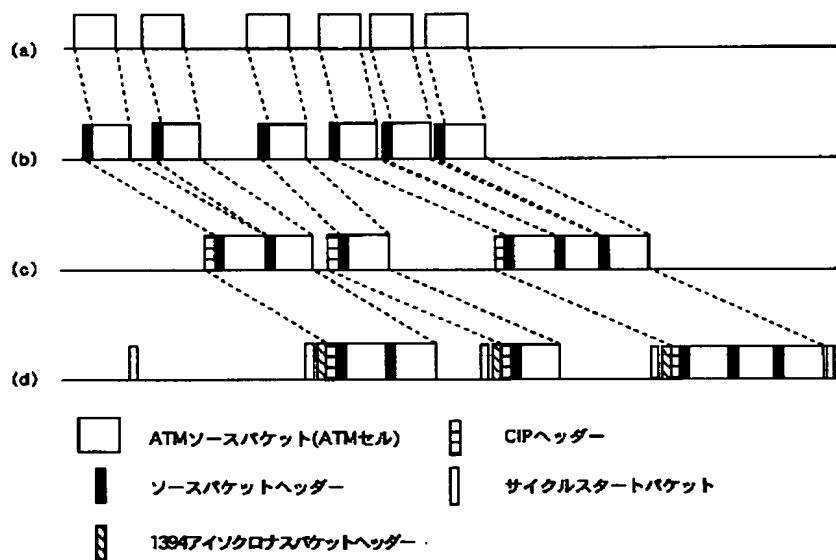
【図5】ATMセルを1394シリアルバス上にのせる処理を行う機器の構成を示すブロック図である。

【図6】ATMセルの構造を示す図である。

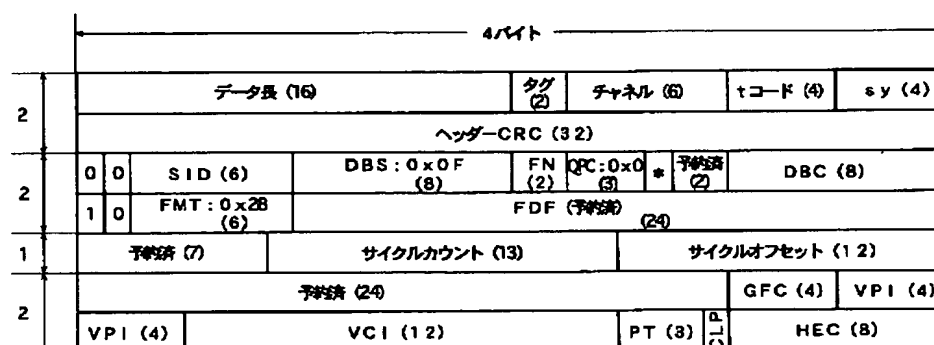
【符号の説明】

1…PHY、2…LINK、4…ATM信号処理系、12…ATM信号処理インターフェース、13…アイソクロナスパケット送受信FIFO、14…ヘッダー、同期情報付加回路

【図1】

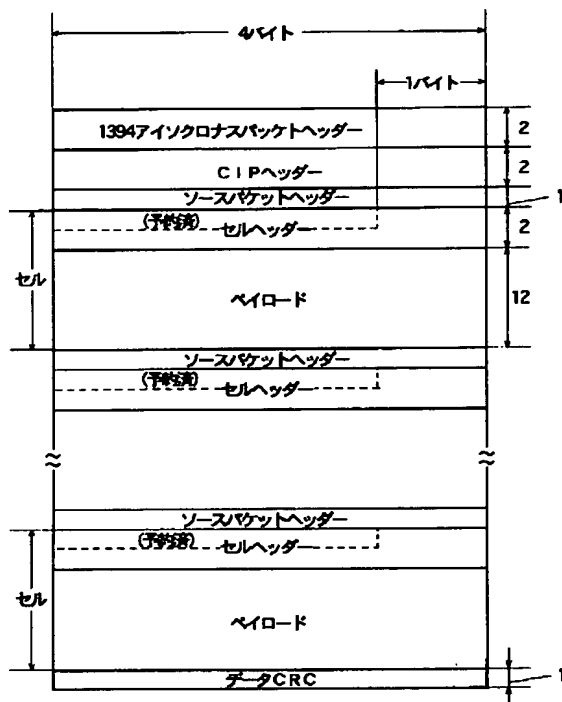


【図3】

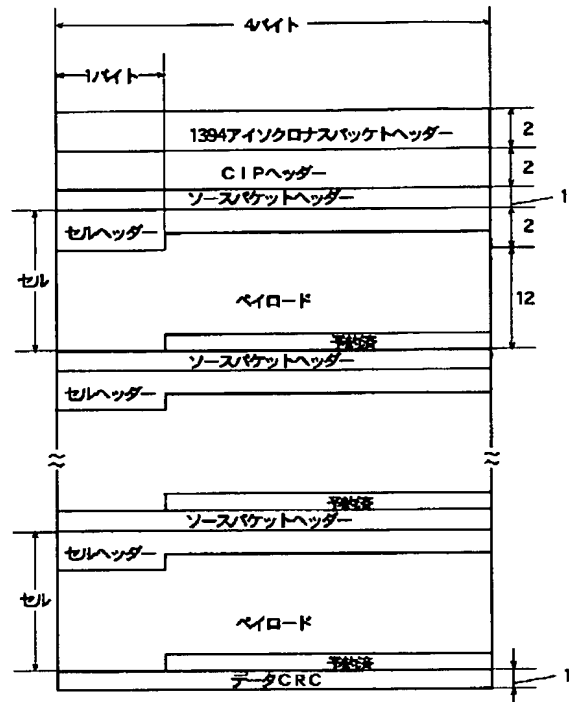


\*SPH  
(1)

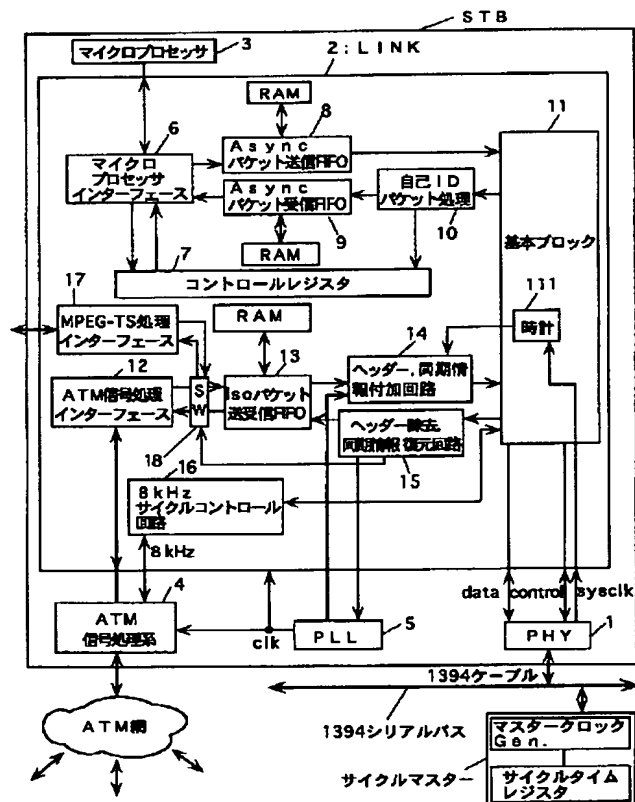
【図2】



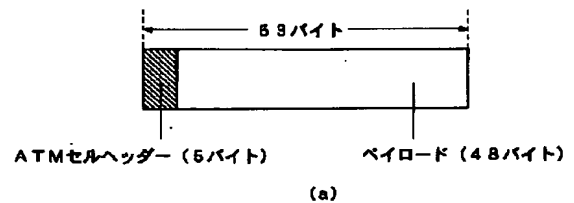
【図4】



【図5】



【図6】



1バイト		
1	GFC (4)	VPI (4)
2	VPI (4)	VC I (4)
3	VC I (8)	
4	VC I (4)	PT (3) CLP (1)
5	HEC (8)	

( )内はビット数

GFC: 一般フロー制御

VPI: バーチャルパス識別子

VC I: バーチャルチャネル識別子

PT: ペイロードタイプ

CLP: セル優先度表示

HEC: ヘッダー誤り検出

(b)